

N

CLIPPEDIMAGE= JP402265248A
PAT-NO: JP402265248A
DOCUMENT-IDENTIFIER: JP 02265248 A
TITLE: MANUFACTURE OF MOS-TYPE TRANSISTOR

PUBN-DATE: October 30, 1990

INVENTOR-INFORMATION:

NAME
KURIYAMA, HIROKO

ASSIGNEE-INFORMATION:

NAME COUNTRY
MATSUSHITA ELECTRON CORP N/A

APPL-NO: JP01085691

APPL-DATE: April 6, 1989

INT-CL_(IPC): H01L021/336; H01L021/265 ; H01L029/62 ; H01L029/784
US-CL-CURRENT: 438/FOR.204,438/FOR.351 ,438/305 ,438/586

ABSTRACT:

PURPOSE: To enhance reliability of a transistor by a method wherein an insulating film is formed on a semiconductor substrate, polysilicon is grown on the insulating film and an impurity concentration in the polysilicon has a negative concentration gradient from the upper end to the lower end of the polysilicon.

CONSTITUTION: A substrate 5 is oxidized thermally; a gate oxide film 2 is formed; polysilicon 1 for gate electrode use is grown on the film 2; in addition, ions are implanted into its whole surface; the polysilicon 1 having an impurity concentration gradient is formed; then, a gate electrode part is masked; after that, the polysilicon is etched; an impurity concentration in the polysilicon 1 is made small as it approaches the substrate 5. Then, impurity ions are implanted into a part where a film thickness of the polysilicon is thin under a condition that the ions penetrate; an impurity diffusion region (of a low concentration) 3 is formed; in addition, ions are implanted by making use of the polysilicon diffusion region (of a high concentration) 4 is formed. As a result, an electric field is concentrated in the impurity region 3; since a trap level of the thermal oxide film 2 is small, hot carriers are hardly trapped. Thereby, reliability of a transistor can be enhanced.

COPYRIGHT: (C)1990,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-265248

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)10月30日

H 01 L 21/336
21/265
29/62
29/784

G 7638-5F

8422-5F
7522-5F

H 01 L 29/78
21/265

3 0 1 L
L

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 MOS型トランジスタの製造方法

⑰ 特 願 平1-85691

⑱ 出 願 平1(1989)4月6日

⑲ 発 明 者 栗 山 宏 子 大阪府門真市大字門真1006番地 松下電子工業株式会社内
⑳ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
㉑ 代 理 人 弁理士 星 野 恒 司

明 細 書

1. 発明の名称

MOS型トランジスタの製造方法

2. 特許請求の範囲

半導体基板上に絶縁膜を形成し、前記絶縁膜上にポリシリコンを成長させ、前記ポリシリコン中の不純物濃度がポリシリコン上端から下端へ負の濃度勾配をもつようにすることを特徴とするMOS型トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、MOS型トランジスタ、特にLDD(Lightly Doped Drain)構造を有するトランジスタの製造方法に関する。

(従来の技術)

トランジスタが微細化されるに伴い、ドレイン近傍に電界が集中しホットキャリアが発生し、閾値変動等の特性劣化を引き起こす。従来、この電界を緩和するために第3図に示すように、2種

類の不純物濃度を有し、チャネル側に低濃度の不純物領域がくる構造即ちLDD構造のトランジスタが多く使用されている。第3図において、6はポリシリコン、7はゲート酸化膜、8はスペーサー、9は不純物拡散領域(低濃度)、10は不純物拡散領域(高濃度)、11は基板である。

(発明が解決しようとする課題)

しかしながら、上記従来のLDD構造のトランジスタは、以前のトランジスタよりホットキャリアの発生は抑えられているものの皆無ではなく、しかもホットキャリアの発生する箇所がスペーサーの下となり、このスペーサーは気相成長した酸化膜であるためトラップ準位が多くトラップされ易い、さらにスペーサーには強制的に電位を与えないので、トラップされたホットキャリアは直接チャネル部に影響を及ぼすことになる。

本発明は上記従来の問題を解決するMOS型トランジスタの製造方法を提供することを目的とするものである。

(課題を解決するための手段)

本発明は上記目的を達成するために、トランジスタとしては、LDD構造の低濃度不純物領域の上にトラップ準位の少ない熱酸化膜がくるようにする。この熱酸化膜上にはゲート電極となるポリシリコンを成長させた構造である。上記構造のトランジスタを形成するため、半導体基板上に絶縁膜を形成し、絶縁膜上にポリシリコンを成長させ、前記ポリシリコン中の不純物濃度がポリシリコン上端から下端へ負の濃度勾配をもつようにさせるようにする製造方法である。

(作用)

したがって、本発明の製造方法によって作成されたトランジスタは、不純物領域に電界が集中し、ホットキャリアが発生しても上の熱酸化膜はトラップ準位が少ないためトラップされにくい。また、トラップされたとしても熱酸化には強制的に電圧が印加されているので、トラップされたキャリアがチャネル部に悪影響を及ぼすことはない。さらに、低濃度の不純物領域は水平方向に濃度勾配をもっており、濃度分布が均一な場合程相互コンダ

クティングを行うと、ポリシリコン中の不純物濃度は基板に近づくにつれて小さくなる。例えばSF₆を用いたプラズマエッチングをすると、ポリシリコン中のイオン注入による不純物濃度プロファイルに対応した第2図(c)に示されるポリシリコンエッチング形状が形成される。

次に、ポリシリコン膜厚の薄い部分のみ不純物イオンが突き抜ける条件でイオン注入を行うと、基板5に不純物拡散領域(低濃度)3が形成される(第2図(d))。さらに、ポリシリコンの膜厚の大小にかかわらずポリシリコンが注入マスクとなる条件でイオン注入を行うと、不純物拡散領域(高濃度)4が形成され(第2図(e))、第1図のLDD構造のトランジスタを得ることができる。

(発明の効果)

本発明は上記実施例から明らかなように、トランジスタの信頼性向上が大きく図られたLDD構造のトランジスタを形成することができる。また、従来のLDD構造を形成する時のようなスペーサーを必要としないため、気相成長及びエッチング

クタンスの低下のないトランジスタを製造することができる。

(実施例)

第1図は本発明の一実施例の工程によって製造されたトランジスタの構造断面を示す図である。第1図において、1はポリシリコン、2はゲート酸化膜、3は不純物拡散領域(低濃度)、4は不純物拡散領域(高濃度)、5は基板である。

第2図は本発明の一実施例の工程を示す図である。第2図において、数字1～5は第1図の対応する数字と同一の内容を示している。

次に本発明の製造方法を説明する。基板5を熱酸化しゲート酸化膜2を形成する(第2図(a))。次にゲート酸化膜2上にゲート電極用のポリシリコン1を成長させ、さらにポリシリコン1の全面にイオン注入を行うと不純物濃度勾配をもつポリシリコンが形成される(第2図(b))。このとき、不純物イオンが基板5に突き抜けないように加速電圧を設定する必要がある。次に、ゲート電極部にレジストによりマスクをした後ポリシリコンエ

の工程が省略できる効果を有する。

4. 図面の簡単な説明

第1図は本発明の一実施例の製造方法によって製造されたLDD構造のトランジスタの断面図、第2図は本発明の一実施例の製造方法の工程図、第3図は従来のLDD構造のトランジスタの断面図である。

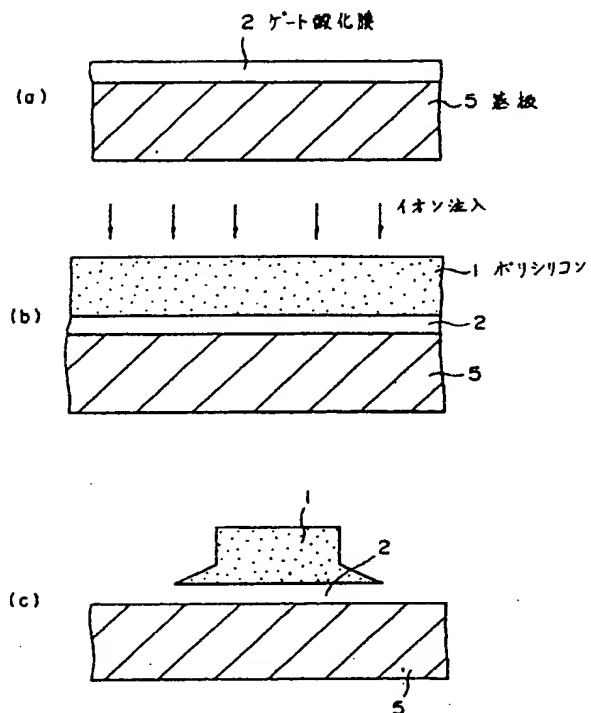
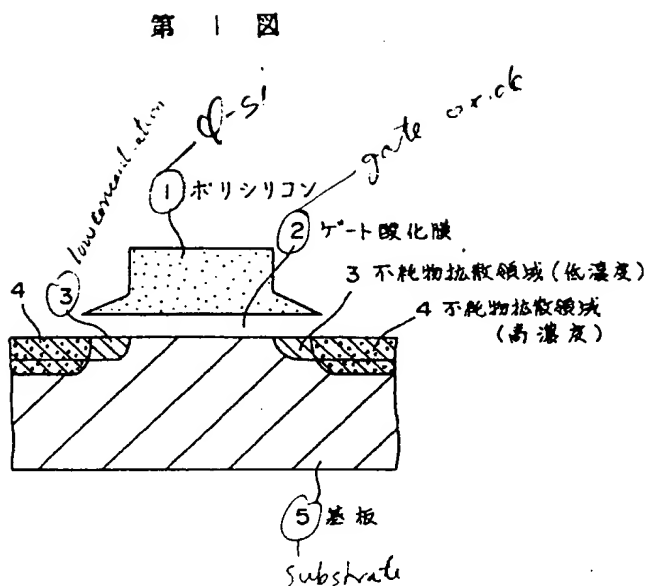
1, 6 … ポリシリコン、 2, 7 … ゲート酸化膜、 3, 9 … 不純物拡散領域(低濃度)、 4, 10 … 不純物拡散領域(高濃度)、 5, 11 … 基板、 8 … スペーサー。

特許出願人 松下電子工業株式会社

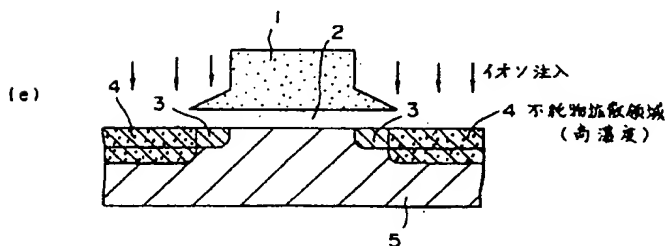
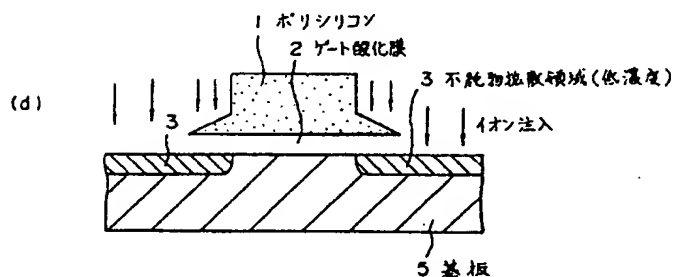
代理人 星 野 恒



第 2 図



第 2 図



第 3 図

